

MENU

SEARCH

INDEX

DETAIL

JAPANESE

LEGAL  
STATUS

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-124336

(43)Date of publication of application : 25.04.2003

(51)Int.Cl.

H01L 21/822  
H01L 21/3205  
H01L 21/82  
H01L 27/04

(21)Application number : 2002-240892

(71)Applicant : KONINKL PHILIPS ELECTRONICS NV

(22)Date of filing : 21.08.2002

(72)Inventor : REINER JOACHIM CHRISTIAN

(30)Priority

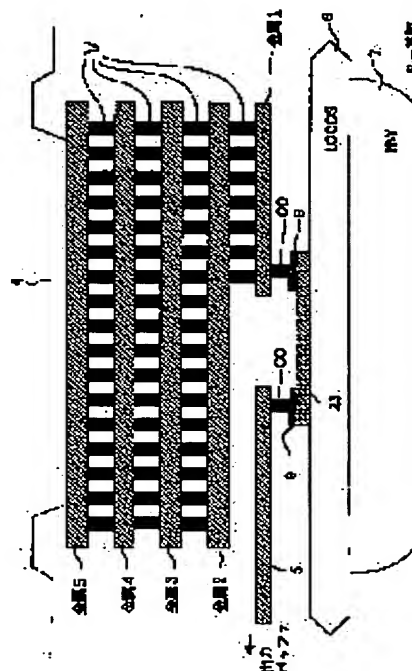
Priority number : 2001 10139956 Priority date : 21.08.2001 Priority country : DE

## (54) ESD PROTECTIVE DEVICE FOR CMOS OUTPUT STAGE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a device for making it possible to utilize the surface area of a chip effectively by improved ESD protection of an integrated circuit in which the function of the integrated circuit is not weakened when the mechanical stress of a bonding pad is applied.

**SOLUTION:** In the device for improving ESD protection in an integrated circuit, passive elements are connected between a bonding pad and the integrated circuit in order to achieve the effective utilization of the chip area wherein the passive elements are placed above a nonconductive layer and below the bonding pad. If the bonding pad is damaged in bonding or testing, only a passive component is at most, short-circuited and functionalities of an output driver stage and the integrated circuit remain intact.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-124336

(P2003-124336A)

(43) 公開日 平成15年4月25日 (2003. 4. 25)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-コード\*(参考)

H 0 1 L 21/822  
21/3205  
21/82  
27/04

H 0 1 L 27/04  
21/88  
21/82  
27/04  
21/82

H 5 F 0 3 3  
T 5 F 0 3 8  
P 5 F 0 6 4  
E  
W

審査請求 未請求 請求項の数11 O L (全 6 頁)

(21) 出願番号 特願2002-240892(P2002-240892)

(22) 出願日 平成14年8月21日(2002. 8. 21)

(31) 優先権主張番号 1 0 1 3 9 9 5 6. 1

(32) 優先日 平成13年8月21日(2001. 8. 21)

(33) 優先権主張国 ドイツ (D E)

(71) 出願人 590000248

コーニンクレッカ フィリップス エレク  
トロニクス エヌ ヴィ  
Koninklijke Philips  
Electronics N. V.  
オランダ国 5621 ペーアー アイन्दー  
フェン フルーネヴァウツウェッハ 1  
Groenewoudseweg 1,  
5621 BA Eindhoven, Th  
e Netherlands

(74) 代理人 100075812

弁理士 吉武 賢次 (外5名)

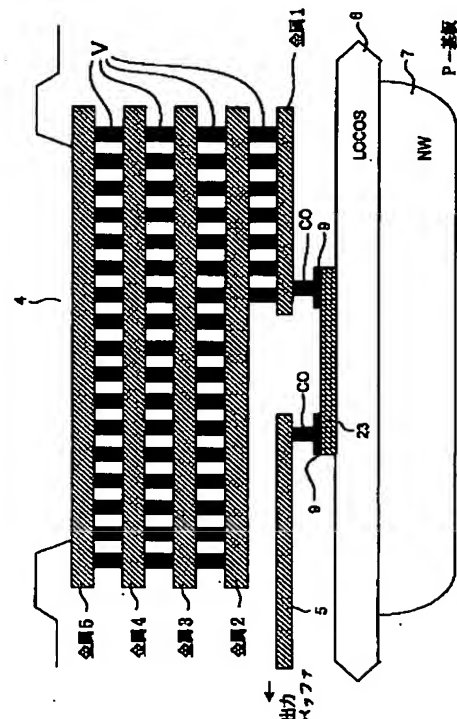
最終頁に続く

(54) 【発明の名称】 CMOS出力段用ESD保護装置

(57) 【要約】

【課題】 集積回路の改良されたESD保護によりチップ表面領域の効果的な利用を可能にし、集積回路の機能がボンディングパッドの機械的な応力がかかる場合に弱められない装置を提供する。

【解決手段】 本発明は、集積回路内でのESD保護を改良するための装置に関する。チップ領域の効果的な利用を達成するために、ボンディングパッドと集積回路との間に受動素子を接続することが提案され、前記受動素子は非導電層の上およびボンディングパッドの下に配置される。ボンディングまたは試験の際にボンディングパッドに損傷が生じた場合、多くとも受動構成部品だけが短絡されるが、出力ドライバ段および集積回路の機能性は影響を受けずに残る。



## 【特許請求の範囲】

【請求項 1】集積回路の ESD 保護を改良するための装置であって、ボンディングパッドの下および非導電性の層の上に形成される受動素子が、ボンディングパッドと集積回路との間に接続される装置。

【請求項 2】請求項 1 記載の装置において、出力ドライバ段を形成するために、集積回路が、少なくとも 1 つの PMOS トランジスタとそれに直列に接続される 1 つの NMOS トランジスタを有し、受動素子が PMOS トランジスタと NMOS トランジスタとの間に配置され、ESD が発生すると NMOS トランジスタを破壊せずに電流を減少するように構成されたことを特徴とする装置。

【請求項 3】請求項 1 記載の装置において、ボンディングパッドが複数の金属層から形成され、該金属層が電氣的に導電性であり、機械的に安定化するコネクタ（パイア S）によって互いに接続され、受動素子の一方の接続がこれらの金属層の少なくとも 1 つに接続され、その他方の接続が出力ドライバ段になされることを特徴とする装置。

【請求項 4】請求項 1 記載の装置において、金属層の少なくともいくつかに対する損傷およびボンディングパッドの金属層と集積回路までの接続経路の間の少なくとも部分的な短絡の場合に、出力ドライバ段のおよび／または集積回路の機能性が維持されることを特徴とする装置。

【請求項 5】請求項 1 記載の装置において、受動素子が、ひび割れを防止するために分割された設計であることを特徴とする装置。

【請求項 6】請求項 1 記載の装置において、非導電性の層が、n-ドーピングあるいは p-ドーピングされた基板上に配置されることを特徴とする装置。

【請求項 7】請求項 1 記載の装置において、受動素子が、ポリシリコンの抵抗層によって形成され、少なくとも 1 つの抵抗体を形成することを特徴とする装置。

【請求項 8】請求項 7 記載の装置において、抵抗層が金属で形成されることを特徴とする装置。

【請求項 9】請求項 1 記載の装置において、受動素子が、少なくとも 1 つのコンデンサの形を取ることを特徴とする装置。

【請求項 10】請求項 1 記載の装置において、受動素子が、少なくとも 1 つのコイルの形を取ることを特徴とする装置。

【請求項 11】請求項 1 から 10 記載の装置を有する、表示装置の活性化のための装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、集積回路における

ESD 保護を改良するための装置に関する。

## 【0002】

【従来の技術】集積回路においては、CMOS 出力ドライバ段または CMOS バッファが、集積回路によって出力される信号の対応する増幅を提供するために使用される。それらは、例えば、表示装置内の活性化回路またはドライバ回路内で使用される。

【0003】静電放電（ESD）は、電子システムおよび集積回路がさらされる最も破壊的で不可避免な環境上の影響の 1 つである。例えば、ESD が発生すると、集積回路は数ナノ秒以内にほぼ数アンペアの電流を伝導しなければならない。回路に与えるこれらの電流密度の破壊的な影響は、一方では、回路素子のサイズに対して非常に高い熱的電力消散にあるが、他方では薄い酸化物を破壊できる過電圧がチップ上に発生する。新しい VLSI プロセスにおける回路開発の観点から、縮小化は ESD に対する感度を増すため、これらの寄生影響を克服することが中心的な問題となってきた。

【0004】帯電は、絨毯の上を歩くことによって生じるように、物質間の摩擦により生じる。電荷の集積および蓄電は、数 kV の静電位に導くことがある。それらが高集積半導体部品と接触すると、これらの蓄電した電荷が放電され、現象は静電放電（ESD）とも呼ばれる。電氣的な観点から、静電放電は、数アンペアのピーク電流のある、10 ns から 300 ns 継続する過渡的な高電流事象を表す。これらの過渡電流は、多様な点で集積回路に対する脅威となる。

【0005】一方では、電氣的な過負荷は、過熱のために集積回路を破壊することがある。

【0006】他方では、過電圧は、MOS ゲート内のゲート酸化物の破壊を引き起こすことがある。

【0007】加えて、繰り返される ESD の負荷は、漏れ電流の増加につながる劣化現象を引き起こすことがある。

【0008】ESD 負荷の種類に関係なく、半導体構成部品つまり集積回路は、修復至難な損傷を被るか、機能するためのその容量は不具合となるか、あるいは劣化するかの何れかである。

【0009】CMOS プロセスの集積密度が増加するにつれ、静電放電による破壊に帰因する集積回路内の故障のリスクも増加する。

【0010】既知の ESD 保護回路は、電圧を制限するように設計される。保護される実際の回路は、過電圧に対応する抵抗を有さなければならない。

【0011】集積回路の縮小が絶えず増加していく中で、使用可能なチップ領域を効果的に使用することも特に必要である。

## 【0012】

【発明が解決しようとする課題】WO 第 0048252 号は、構成部品がボンディングパッドの下で配置される

装置を説明する。これらは、機械的な応力のために最小の損傷がそこで発生するため、特に、ボンディングパッドの下に配置される。これらの構成部品は、異なってドーピングされた層によって形成され、その結果ボンディングパッドの下には、異なる電位を有する領域がある。ボンディングパッドが損傷を受けると、これらの異なる電位間の短絡が回路の機能性を弱めることがある。

【0013】CMOS回路のボンディングパッドの下に構成部品を配置することは、回路パッケージの端子またはリード線フレームへの、例えばボンディングによるボンディングパッドの接続が、ボンディングパッドに機械的な応力を行き、その結果動的な素子を含むボンディングパッドの下に位置している層が破壊されることがあり、集積回路の機能性が保証されない結果となるという不利な点をもたらす。

【0014】したがって、本発明の目的は、集積回路の改良されたESD保護によりチップ表面領域の効果的な利用を可能にし、ボンディングパッドの機械的な応力がかかる場合でも集積回路の機能性が弱められない装置を提供することである。

【0015】

【課題を解決するための手段】本発明によれば、この目的は、ボンディングパッドの下および非導電層の上に配置される受動素子が、ボンディングパッドと集積回路との間に接続される、集積回路におけるESD保護を改良するための装置により達成される。

【0016】CMOS回路に適切なESD保護を与えるためには、通常、チップ表面上の多くの空間を占める非常に大きな抵抗体が必要である。CMOS回路の典型的な出力段は、少なくとも1つのボンディングパッドを有し、このパッドに1つのPMOSトランジスタおよび1つのNMOSトランジスタが共に接続されて出力ドライバ段を形成する。さらに、通常、ESD保護回路も接続される。数多くのダイオードが多様な電位に接続できる。

【0017】ESD保護回路は、ESDが発生すると電圧を制限する。スナップバック現象のため、出力ドライバ段のNMOSトランジスタは、特に、ESDが発生すると流れる大きな電流によって破壊される危険にさらされる。この電流を制限するために更なる処置が必要とされる。これを行う1つの既知の方法とは、NMOSトランジスタと直列に抵抗体を接続し、それにより電流を制限することである。しかしながら、この抵抗体は、電流に対して十分に高い抵抗を有さなければならないため、それに応じて大型である必要がある。しかしながら、きわめて縮小化された回路では、実際のチップ表面上の空間は極端に限られている。このため、NMOSトランジスタの付加的な保護のために、ボンディングパッドの下に、受動構成部品を配置することが提案される。

【0018】接続ワイヤは、ボンディングパッドに接合

される。このワイヤは、集積回路の対応するボンディングパッドを集積回路のパッケージ上の端子／リード線フレームに接続する。ESD保護回路または出力ドライバ回路に比較して、ボンディングパッドは出力段内の大部分の空間を占有する。回路の試験中、ボンディングパッドは試験針による機械的な応力にさらされる。接合プロセスも、必要とされる接触圧力およびボンディングボールの金属のボンディングパッドの金属に対する超音波冷間溶接のために、ボンディングパッドを高い機械応力にさらす。その結果、下にある層の中でひび割れが発生することがあり、ひび割れは、例えば漏れ電流、短絡、または破損のためにこれらの層内での機能性に影響を及ぼす。このため、構成部品はこれまでボンディングパッドのすぐ下に配置されたことはない、あるいは信頼性の低下を許容する準備がある場所だけに配置されてきた。

【0019】本発明によれば、NMOSトランジスタとボンディングパッドの間に接続される受動素子は、ボンディングパッドの下に配置される。ボンディングパッドは、電気的に導電性のコネクタまたはバイアによって接続される複数の金属層により形成される。これらのバイアは、ボンディングパッドが負荷応力にさらされるときに機械的な安定化効果も有する。本発明によれば、1つの端子がバイアを介してボンディングパッドに接続される受動素子が、これらの金属層の下に配置される。受動素子の他の端子に接続されるのが集積回路、特に出力ドライバ段である。これは、ESDが発生すると、大電流が受動素子によって制限されることを確実にする。受動素子を金属層の下に配置することは、金属層がボンディングパッドに作用する機械的な圧力により破壊または損傷を受けると、例えば絶縁層にひび割れが生じ、最悪でも受動素子をブリッジする漏れ電流経路が形成され、それにより受動素子をブリッジすることを意味する。しかしながら、この漏れ電流経路は、ESD保護回路、出力ドライバ回路、または集積回路の機能性に悪影響は及ぼさない。この目的のため、好ましくは受動素子だけがボンディングパッドの下に配置される。さらに、それは非導電性の層の上に配置され、その結果損傷および短絡の場合にも更なる構成部品が短絡して機能性を損なうことはない。

【0020】好ましい実施例においては、受動素子を分割することが提案される。これは、重い機械的な圧力を受けて、受動素子が破壊されず、ひび割れの広がりや細分化により防止されることを確実にする。金属層になんらかの損傷が生じる場合、受動素子の一部がブリッジされるにしても、CMOS出力ドライバ段の機能性は損なわれないことが確実にされる。分割は、受動素子が密集した領域から形成されるのではなく、複数の小さなサブエリアで形成されることを意味する。

【0021】非導電性層は、好ましくは、 $p-(n-)$ ドーピング基板内の $n-(p-)$ ドーピング層の上に形

10

20

30

40

50

成され、その結果、受動素子の下の非導電性の層の損傷およびひび割れの場合、これに応じてドーピングされた層が更なる短絡に対する障壁を形成する。

【0022】受動素子を、絶縁フィールド酸化膜層の下の弱く  $n$  ドーピングされた層として形成することも有利である。弱く  $n$  ドーピングされた層は高電気抵抗を有し、それにより占められる空間は小さくなる。 $p$  ドーピングされた層の上にフィールド酸化膜を配置することも可能である。

【0023】ある特定の実施例においては、受動素子は、ポリシリコン抵抗体の形を取る。このポリシリコン抵抗体は、絶縁フィールド酸化膜層上に配置される。抵抗体を他の電子構造体から分離するために、弱く  $n$  ( $p$ ) ドーピングされた層を、抵抗体の下にあるフィールド酸化膜層の下の  $p$  ( $n$ ) ドーピングされた基板内に配置することが提案される。

【0024】好ましくない構成では、出力ドライバ段のラッチアップ感度につながる可能性がある基板内で更なる拡散層は必要とされないため、ポリシリコンの使用は有利である。さらに、フィールド酸化膜層の下の  $p$  ( $n$ ) ドーピングされた基板内に弱く  $n$  ( $p$ ) ドーピングされた層を効果的に配置することにより、万フィールド酸化膜層にまでひび割れが広がった場合にも、機械的な応力のための短絡に対する許容範囲が増す。その場合、弱く ( $p$ ) ドーピングされた層と  $p$  ( $n$ ) ドーピングされた基板の間の遷移においてバリアが形成される。

【0025】本発明の更なる有利な実施例においては、複数の抵抗体を NMOS トランジスタとボンディングパッドとの間に接続することが提案される。それぞれのケースのバイアスと抵抗体接続部との間の端子接続は、ESD が発生すると、過剰な電流の流れを制限するのに役立つ抵抗も形成する。材料が適切に選択されると、あまり伝導しない材料を選択することによりさほど空間を占めない大きな抵抗体を形成することが可能である。

【0026】抵抗体を  $p$  ドーピングされた層内の  $n$  ウェルドーピングされた層などの他の層から、あるいは  $p$  ドーピングされた層の上の  $n$  ドーピングされた層、または  $n$  ドーピングされた層の上の  $p$  ドーピングされた層として構成することもできる。同時に、フィールド酸化膜層の下の  $n$  ウェルから形成される抵抗体は、機械応力に対する一層優れた保護を有する。 $n$  または  $p$  ドーピングされた層を備える抵抗体の実施例においては、抵抗層は、フィールド酸化膜によって被覆されず、さらに深い位置にあり、したがってポリシリコン層によるよりも保護されている。ボンディングパッドに対する損傷の場合に、多くても抵抗体だけが短絡されるだけであるため、抵抗体が金属層の形を取ることも可能である。同様に、前記型の抵抗体を結合することも可能であり、その結果、例えばポリシリコン抵抗体はボンディングパ

ッドの下に形成されるが、ボンディングパッドの外部の抵抗体は  $n$  ウェル領域内の抵抗体と直列に接続される。

【0027】金属層に抵抗体を形成させることも可能である。相補形 CMOS 技術を用いると、この層は、好ましくはタングステンで形成され、その結果、タングステンの高い抵抗によって、大きな抵抗体を形成するため、ほとんど面積は必要とされない、あるいは非常に大きな抵抗体がボンディングパッドの領域全体の下に形成できる。

【0028】高周波用途については、コンデンサまたはコイルとしてボンディングパッドの下に受動素子を設計することが有利である。これらの構成部品は、高抵抗漏れ電流経路の場合にも集積回路の機能性に悪影響を及ぼさないであろう。

【0029】本発明の目的は、CMOS ドライバ回路を有する表示装置の活性化のための装置によっても達成される。ディスプレイを活性化するために必要とされる電圧は、通常、動作電圧を超えるため、必要な電圧はドライバ回路および任意の電荷ポンプによって提供されなければならない。前述されるような装置は、とりわけ、この目的のために必要とされる。

【0030】本発明は、図面に示される実施例に関して説明されるが、本発明はそれに限定されるものではない。

#### 【0031】

【発明の実施の形態】図1は、CMOS出力段1の簡略化された表現である。出力ドライバ段2は、NMOS トランジスタ22と直列に接続される少なくとも1つの PMOS トランジスタ21を備える。2つのトランジスタは、典型的にはVDDとVSSとの間に接続される。ESDの場合、非常に大きな電流がNMOS トランジスタ22を介して流れ、その結果、このトランジスタはおそらく破壊されるであろう。この電流を制限するために、抵抗体23は、2つの抵抗体の間に接続される。この抵抗体は、一端がNMOS トランジスタ22のドレイン接続部に接続される。抵抗体23の他端はPMOS トランジスタ21およびボンディングパッド4に接続される。やはりボンディングパッドとVSSとの間に接続されるのは、ESDが発生すると、ボンディングパッド4の上の電圧VPADをVPAD、ESDに制限する過電圧回路3である。加えて、ESD保護回路8が、VDDとVSSの間に配置される。ダイオードDは集積回路の入力/出力とVDDの間に接続され、VDDおよび保護回路8を介して付加的なESD放電経路を構成する。

【0032】図2は、ボンディングパッド4の下にある抵抗体23の構成を示す。ボンディングパッドは、複数の金属層金属1ないし5によって形成される。これらの金属層は、電気的に導電性であるバイアスVによって接続される。抵抗体23は、少なくとも1つのコンタクトバイアスCOに接続される。抵抗体の他端は、出力ドライバ

段2に接続される。非導電性であるフィールド酸化膜層6は、抵抗体23の下に配置される。フィールド酸化膜層6は、弱くpドーピングされた基板内に埋め込まれるnウェル領域7上に配置される。コンタクトパイアは、シリサイド層9に固定される。これらのシリサイド層9も電気抵抗を有する。SIPROTマスクは、シリサイド層9の間の領域10が、シリサイドによって被覆されないことを確実にするために使用されてきた。シリサイドは、ポリシリコンより低い抵抗を有するため、抵抗値は、シリサイドで完全に被覆されたポリシリコン抵抗体23によって不必要に低減されるであろう。

【0033】層構造に対する損傷が生じると、金属2と金属1/接続経路5との間の絶縁層にひび割れを生じて、このひび割れに金属層が押し出され、おそらく金属層金属2と出力ドライバ段の接続経路5との間の漏れ電流経路を生じさせることになる場合がある。これは、抵抗体23の短絡と同等である。この短絡のため、この抵抗体23はブリッジされるが、出力ドライバ段の、および図示されていない集積回路の機能は損なわれない。抵抗体は、絶縁フィールド酸化膜層6の上に配置されるので、短絡は他の活性化領域に及ばない。抵抗体以外に、機能が損なわれる可能性がある他の構成部品は、ボンディングパッド4の下に配置されない。原則として、それらの通常小さな空間的な範囲のため、絶縁層に対する機械的な損傷の結果として発生する漏れ電流経路は、典型的にはほぼ数kオームのオーダーの相対的に高い抵抗を有する。ここに提案される抵抗は、ほぼ1オームから1000オームの値を有するため、このような漏れ電流経路は、出力段の機能に微々たる影響を与えるに過ぎない。これは、ボンディングパッドと、VDDまたはVSSの間の漏れ電流経路とは対照的なものである。例えば、1メガオームの抵抗を持つ漏れ電流経路が、典型的なCMOS構成部品はもはや約1 $\mu$ Aという最大漏れ電流仕様を満たさないため、電氣的に故障することを意味するであろう場合である。

【0034】図3は、1つのさらに大きな抵抗体が形成されるように互いに接続される、複数の抵抗体を示す。本発明によれば、これらの抵抗体23、24、25の少なくともいくつかは、ボンディングパッド4の下に配置

10

20

30

40

\* リアR1ないしRnは、ポリシリコンで形成される。これらの領域R1ないしRnは、コンタクトCOの両側でシリサイド層9によって互いに接続される。同時に、シリサイド層の形成および幅も、SIPROTマスクによって局所化される。抵抗の大きさは、金属層金属1に対するコンタクトCOの材料の選択および抵抗体のシリサイド化された領域の幅によって調整できる。領域R1ないしRnは、領域間の隙間Lとともに配置され、その結果、ひび割れが生じてもひび割れが抵抗体全体を通して広がることはない。

【0035】このシリサイド層は低抵抗（約5オーム/平方）であり、抵抗値を低く保つため、SIPROTマスクはシリサイド層を適用しない。SIPROTマスクは、約100オーム/平方の局所的にシリサイド化されないポリシリコンを提供する。

【0036】実際の例は、表示ドライバ出力としてであるが、論理チップのデータ出力としても使用できるCMOS出力を表す。

【図面の簡単な説明】

【図1】CMOS出力段の概略図である。

【図2】ボンディングパッドの下に抵抗体を示す。

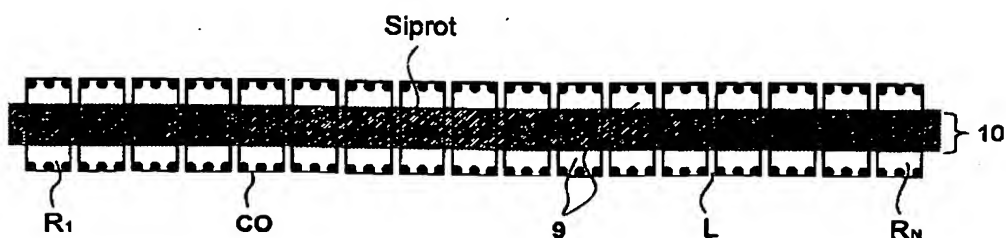
【図3】複数の抵抗体を概略表現で示す。

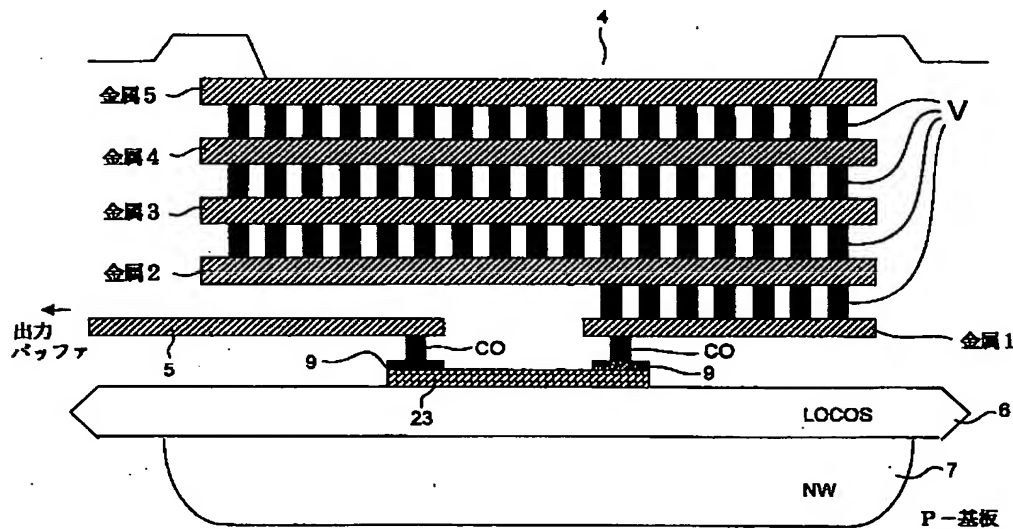
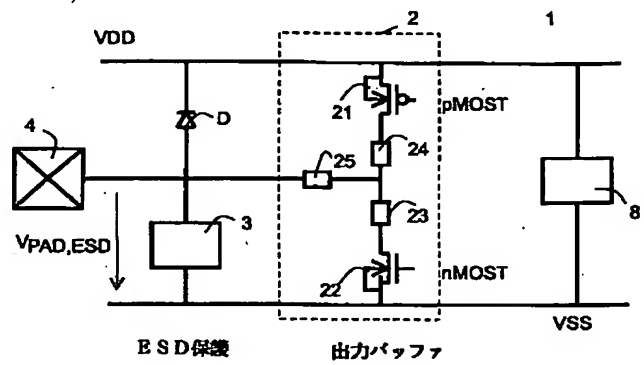
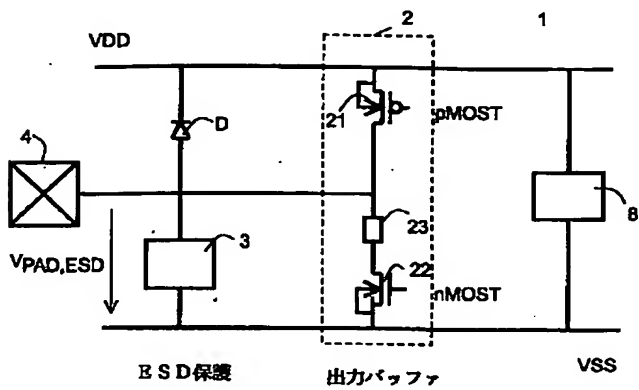
【図4】分割された抵抗体を示す。

【符号の説明】

- 1 CMOS出力段
- 2 出力ドライバ段
- 3 過電圧回路
- 4 ボンディングパッド
- 5 接続経路
- 6 フィールド酸化膜層
- 7 nウェル領域
- 8 ESD保護回路
- 9 シリサイド層
- 10 領域
- 22 トランジスタ
- 21 PMOSTランジスタ
- 22 NMOSTランジスタ
- 23, 24, 25 抵抗体
- R1ないしRn 領域
- L 領域間の隙間

【図4】





フロントページの続き

(72)発明者 ヨアヒム、クリスチャン、ライナー  
スイス国タルビル、ゾーネンベルクシュト  
ラーセ、53

F ターム(参考)

5F033	UU04	VV07	VV08		
5F038	AR09	AR16	BE07	BH02	BH03
	BH05	BH07	BH13	EZ14	EZ20
5F064	DD42	EE23	EE26	EE27	EE53